

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10242404 A**

(43) Date of publication of application: **11 . 09 . 98**

(51) Int. Cl.

H01L 27/10
H01L 21/314
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: **09043839**

(22) Date of filing: **27 . 02 . 97**

(71) Applicant: **FUJITSU LTD**

(72) Inventor: **TAMURA TETSURO**

(54) **METHOD FOR FORMING FERROELECTRIC FILM**

(57) Abstract:

PROBLEM TO BE SOLVED: To improve the electric characteristic of a ferroelectric film by applying a material constituting a ferroelectric substance and sol-gel solution containing solvent on a substrate, removing solvent by means of holding the substrate in vacuum and performing heat treatment.

SOLUTION: The material in which Sr ethylhexanate, Bi ethylhexate, and Ta ethoxide are made to be starting raw materials as the ferroelectric substance is dissolved in butyl acetate of solvent, for example, and it is applied on the substrate surface by a spin coating method by

using sol-gel solution containing Sr, Bi and Ta. The substrate is kept in a vacuum container and solvent is removed. Nitride is introduced after the container reaches 1Torr and the internal part of the container is returned to atmospheric pressure. Then, baking is executed in the nitride atmosphere of 250°C and the cycle of application treatment to thermal baking treatment is executed for four cycles, for example, and the SBT film of 180nm is formed, for example. Then, heat treatment is performed at 600°C for ten minutes in oxygen atmosphere and organic matters are completely removed.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-242404

(43)公開日 平成10年(1998) 9月11日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/10
21/314
27/04
21/822
27/108

4 5 1

H 0 1 L 27/10
21/314
27/04
27/10
29/784 5 1
A
C
6 5 1
3 7 1

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平9-43839

(22)出願日 平成9年(1997) 2月27日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 田村 哲朗

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

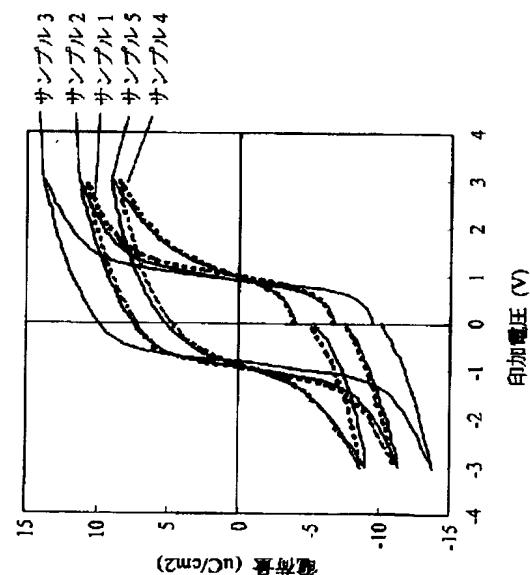
(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 強誘電体膜の形成方法

(57)【要約】

【課題】信頼性、特性にすぐれた強誘電体膜キャパシタ
やそれを用いた半導体記憶装置を得る。【解決手段】強誘電体物質の原料であるゾルゲル溶液を
基板上に塗布したあと、真空中に保持して溶媒を除去し
てから熱処理を行って架橋反応を生じさせる。また、塗
布後に酸素と反応しない第1の温度で熱処理後、第1の
温度より高温の熱処理で架橋反応を生じさせる。また、
塗布直後の熱処理は酸素を含まない雰囲気で行う。

本発明の分極特性を示す図



【特許請求の範囲】

【請求項 1】 強誘電体物質を構成する材料と溶媒を含むゾルゲル溶液を基板上に塗布する工程と、前記基板を真空中に保持して溶媒を除去したあと熱処理を行って、架橋反応を生じさせる工程とを含むことを特徴とする強誘電体膜の形成方法。

【請求項 2】 前記真空中に保持する処理は、前記熱処理よりも低い温度で行うことを特徴とする請求項 1 記載の強誘電体膜の形成方法。

【請求項 3】 強誘電体物質を構成する材料と溶媒を含むゾルゲル溶液を基板上に塗布する工程と、前記基板をゾルゲル中の有機物が酸素と反応しない温度で熱処理する工程とを含むことを特徴とする強誘電体膜の形成方法。

【請求項 4】 前記熱処理温度は 250℃～280℃であることを特徴とする請求項 3 記載の強誘電体膜の形成方法。

【請求項 5】 強誘電体物質を構成する材料と溶媒を含むゾルゲル溶液を基板上に塗布する工程と、前記基板をゾルゲル中の有機物が酸素を含まない雰囲気中で熱処理する工程とを含むことを特徴とする強誘電体膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特にFRAM (Ferroelectric Random Access Memory) 装置に用いる強誘電体薄膜の形成方法に関する。近年、その不揮発性やアクセスタイムの速さから、強誘電体膜を用いたFRAMが注目されつつある。

【0002】

【従来の技術】強誘電体膜として、 $Pb(Zr, Ti)O_3$ (以降PZTと呼ぶ) や $SrBi_2Ta_2O_9$ (以降SBTと呼ぶ) などの複合酸化物が良く知られている。これらの強誘電体膜の形成方法として、スパッタ法やCVD法などの他に、これらの物質をゾルゲル状にして塗布して形成する方法が知られている。

【0003】ゾルゲル法は、原料を調整することにより組成制御が容易にでき、また、均質な膜をつくりやすいという特徴がある。一例として、ゾルゲル法によるSBT膜の形成方法を以下に示す。はじめに、SBTを含むゾルゲル溶液をスピコート法などによって基板表面に塗布する。つづいて酸素雰囲気中で、たとえば400℃程度の温度でベークを行い、溶媒をとばすとともに重合反応を進める。一回に塗布する膜厚が厚くなると、重合反応時にクラックを生じやすくなるため、通常は数回にわけて塗布およびベークが行われる。つづいて、同じく酸素雰囲気中で、たとえば800℃程度の温度で焼結を行い、SBT膜を結晶化する。

【0004】

【発明が解決しようとする課題】しかしながら、上記の

例のように重合反応と焼結反応とを2段階に分けて熱処理を行っても、溶媒の蒸発と重合反応とを行うベーク処理によって、膜の体積収縮が不完全な状態でゾルゲル溶液中のポリマーの架橋反応が進むため、上記従来例の方法により作成された強誘電体薄膜では、リークや強誘電特性などの電気特性の面で良好な特性を得ることができなかった。

【0005】本発明の目的は、上記問題点を解決し、良好な電気特性を有する強誘電体膜を形成する方法を提供することにある。

【0006】

【課題を解決するための手段】前記課題は、強誘電体物質を構成する材料と溶媒を含むゾルゲル溶液を基板上に塗布する工程と、前記基板を真空中に保持して溶媒を除去したあと熱処理を行って、架橋反応を生じさせる工程とを含むことを特徴とする強誘電体膜の形成方法によって解決される。

【0007】また、前記真空中に保持する処理は、前記熱処理よりも低い温度で行うことを特徴とする強誘電体膜の形成方法によって解決される。また、強誘電体物質を構成する材料と溶媒を含むゾルゲル溶液を基板上に塗布する工程と、前記基板をゾルゲル中の有機物が酸素と反応しない温度で熱処理する工程とを含むことを特徴とする強誘電体膜の形成方法によって解決される。

【0008】また、前記熱処理温度は250℃～280℃であることを特徴とする強誘電体膜の形成方法によって解決される。また、強誘電体物質を構成する材料と溶媒を含むゾルゲル溶液を基板上に塗布する工程と、前記基板をゾルゲル中の有機物が酸素を含まない雰囲気中で熱処理する工程とを含むことを特徴とする強誘電体膜の形成方法によって解決される。

【0009】従来技術および本発明の方法を用いてキャパシタ絶縁膜を形成し、比較実験を行った。はじめに、P型基板上に下部電極としてTi膜を30nm、Pt膜を180nmスパッタ法により順次形成したあと (以降積層膜の記載方法として、上層がPt膜、下層がTi膜の場合にはPt/Tiと記載する)、その上にSBTを含むゾルゲル溶液をスピコートを用いて3000rpmで15秒で塗布し、つづいてサンプルごとに異なる条件でベークを行い、塗布とベークを4回繰り返して、膜厚が180nm程度となるようにした。

【0010】なお、ここで用いたSBTを含むゾルゲル溶液は、Srの材料としてエチルヘキサン酸ストロンチウム、Biの材料としてエチルヘキサン酸ビスマス、Taの材料としてタンタルエトキシドを出発原料とする原料を用い、これらの材料を酢酸ブチル溶媒に溶かし、10wt%の溶液としたものであり、元素比としてSr:Bi:Ta=0.8:2.4:2.0となるようにしたものである。

【0011】つぎに、酸素雰囲気中で600℃で10分間

第1段の焼成を行ったのち、上部電極としてPt膜をスパッタ法により100nm形成した。つづいて、レジストを塗布してキャパシタ電極にパターンニングしたのち、イオンミリング法によってPt膜を上部電極のパターン*

- サンプル1 酸素雰囲気、250℃、10分
- サンプル2 窒素雰囲気、250℃、10分
- サンプル3 真空処理(1 Torr)後、窒素雰囲気、10分
- サンプル4 酸素雰囲気、200℃、10分
- サンプル5 酸素雰囲気、300℃、10分

各サンプルでの強誘電体キャパシタの特性を図1および2に示す。

【0013】図1は各サンプルの電荷-電圧特性を示す図であり、X軸が電圧、Y軸が面積あたりの電荷量を示す。プラス3Vからマイナス3Vまで電圧を印加してヒステリシス曲線を描かせ、0Vのときのマイナス側とプラス側の分極値の差を Q_{sw} とし、この大きさを強誘電体特性を評価した。なお、測定器はラジアント社製の強誘電体評価装置RT6000Sを用いた。

【0014】また、プラス3V印可時のリーク電流の値をヒューレットパッカード社製4140Bを用いて測定し、リーク特性を評価した。各サンプルにおける Q_{sw} とリーク電流の値を図2に示す。なお、 Q_{sw} の値は電極の面積で割って単位面積あたりに規格化した値を用いている。

比較1 ベーク雰囲気の違い(サンプル1、2)

サンプル1と2を比較すると Q_{sw} の値には有意差はないが、3Vをかけたときのリーク電流に差が見られ、窒素雰囲気中でベークしたサンプル2のほうがリーク電流が小さい。

【0015】したがって、酸素雰囲気中でベークするよりも、窒素雰囲気中でベークするほうが膜質が良くなることがわかる。

比較2 真空処理の有無の違い(サンプル2、3)

サンプル2と3を比較すると、真空処理を行ったサンプル3のほうが Q_{sw} の値が高く、リーク電流も低くなっており、真空処理を行うことで、大幅に膜質が改善されることが分かる。

【0016】比較3 ベーク温度の違い(サンプル1、4、5)

サンプル1、4、5を比較すると、250℃で熱処理を行ったものが Q_{sw} の値もリーク電流値も最もよく、それよりも温度の低い200℃で熱処理を行ったサンプル4や、温度の高い300℃で熱処理を行ったサンプル5では Q_{sw} の値が低くリーク電流も多くて膜質が悪いことが分かる。この原因を調べるために、示差熱天秤を用いてゾルゲル溶液の熱分析を行った。図3はゾルゲル溶液を昇温していったときの、試料の重量変化と反応形態を示す図である。図中TG(Thermo-Gravimetry)の曲線は試料重量の減少量を示す曲線であり、DTA(Differential Thermo Analysis)は、試料とともに測定器に

* (面積は $3 \times 10^{-4} \text{cm}^2$) にエッチングした。

【0012】つづいて、強誘電体膜の結晶化のために、酸素雰囲気中で800℃で30分間第2段の焼成を行った。各サンプルのベークの条件を以下に示す。

入れたリファレンスであるアルミナのプレートと試料との温度差に相当する値をプロットした曲線である。DTAの値が正の値の場合は発熱反応であり、負の値の場合は吸熱反応である。

【0017】TG曲線を見ると50℃付近から試料重量が減少していき、350℃付近でほぼ重量の減少がストップする。DTA曲線を見ると280℃付近から急激に発熱反応が生じていて、350℃付近まで反応が続いている。これらの曲線から、280℃以上の温度をかけるとゾルゲル溶液中の有機物が雰囲気中や溶液が分解して発生する酸素と反応し、発熱反応をおこしていることが分かった。このため、ベークを300℃で行うと、酸素との反応で生じたガスが膜中に取り込まれることにより膜質が粗になるため、 Q_{sw} やリーク特性が劣化するものと思われる。

【0018】また、ベークを200℃程度で行うと、重合反応を十分にすすめることができないため、やはり膜質が粗になり、 Q_{sw} やリーク特性が劣化するものと思われる。したがって、ベーク温度としては200℃~300℃の間、好ましくは、250℃~280℃とするのがよい。

【0019】

【発明の実施の形態】図4~図7の模式工程断面図をもとに、本発明の実施の形態を説明する。はじめに図4に示すように、p型シリコン基板11上に周知のシリコンプロセスを用いてフィールド酸化膜12を形成し、フィールド酸化膜12で画定されたメモリセル領域の素子形成領域上に、ゲート絶縁膜13、ゲート電極14およびn型ソース・ドレイン拡散層15、16からなるMOSトランジスタを形成する。つづいて、シリコン酸化膜17を形成し、周知のフォトリソグラフィ法を用いて、ビットラインに接続する一方のソース・ドレイン拡散層15上にコンタクトホールを形成する。

【0020】つづいて、ソース・ドレイン拡散層15とコンタクトするようにタングステンシリサイドなどのビットライン18を形成する。つぎに図5に示すように、シリコン酸化膜19を形成したあと、下部電極20となるチタン膜を30nmとプラチナ膜180nmを順次形成する。つづいて、周知のフォトリソグラフィ法を用いて下部電極パターンを形成するためのレジストパターンを形成し、このレジストをマスクとしてイオンミリング

法により、Pt/Ti電極のエッチングを行い、フィールド領域12上のシリコン酸化膜19上に下部電極20を形成したあと、レジストを除去する。

【0021】つぎに図6に示すように、強誘電体であるSBTを形成し、レジストパターンを用いてイオンミリング法によりSBT膜をエッチングしてキャパシタ絶縁膜21を形成する。SBTの形成方法は以下のように行う。始めに、先に用いたのと同じく、エチルヘキサン酸ストロンチウム、エチルヘキサン酸ビスマス、タンタルエトキシドを出発原料とする材料を酢酸ブチル溶媒に溶かし、10wt%の溶液としたもの(Sr:Bi:Ta=0.8:2.4:2.0)をSBTを含むゾルゲル溶液として用い、スピコート法により基板表面に塗布する。

【0022】つづいて真空容器中に基板を保持し、真空ポンプを用いて容器内を減圧する。減圧の速度としては、たとえば5分間で1 Torrに達するような速度で行う。このとき、急激に減圧すると溶媒が抜ける段階で膜中に泡が形成されてしまい、強誘電体膜の膜質が劣化してしまうため、減圧は徐々に行うことが望ましい。

【0023】容器内が1 Torrに達したあとで窒素を導入し、容器内を常圧に戻す。なお、容器内を1 Torr以下の真空にひいても、容器内が1 Torrに達したあと、そのまま真空中に保持していても構わないし、減圧の速度を上記速度よりも遅くしても構わないが、その分だけスループットが落ちてしまう。つづいて、250℃の窒素雰囲気中でベークを行う。ベークは拡散炉を用いて行ったが、ホットプレートを用いてもよい。

【0024】上記塗布処理から加熱ベーク処理の1サイクルにより、約45nmのSBT膜が形成される。この工程を4サイクル行って、180nmのSBT膜を形成する。つづいて、酸素雰囲気中で600℃10分間の熱処理を行い、有機物を完全に除去する。

【0025】つぎに図7に示すように、上部電極となるプラチナ膜を形成し、下部電極形成と同様な手法によってイオンミリング法によりエッチング除去し、上部電極22を形成する。つづいて、SBTの結晶化のために、酸素雰囲気中800℃30分の熱処理を行う。

【0026】つづいて、シリコン酸化膜からなる層間絶縁膜23を形成し、他方のソース・ドレイン拡散層16上と、上部電極22上にコンタクト用のスルーホールを形成する。つづいて、反応性スパッタ法等を用いて窒化チタン膜を形成し、パターンニングしてローカルインターコネクトとなる配線層24を形成する。これによって、キャパシタ蓄積電極である上部電極22と、MOSトランジスタのソース・ドレイン拡散層の一方16が接続されて、セル構造が形成される。

【0027】以降、周知の技術を用いて層間絶縁膜の形成やアルミニウム等による配線を行い、パッシベーション膜の形成等を行って、FRAM装置を完成する。本実

施の形態では、強誘電体物質を含むゾルゲル材料を塗布後、真空処理をしてからベーク処理を行うことにより、溶媒を蒸発させて体積収縮を完全に行ったあとで、ポリマーの架橋反応を進めることができ、強誘電体膜の分極特性やリーク特性などの電気特性を向上することができ、FRAMの特性を向上させることができる。

【0028】また、ベークの温度を250℃と有機物が酸素で燃焼しない温度で、かつ、重合反応がおこる温度で行うため、膜の密度を上げることができ、さらに電気特性を向上させることができる。さらに、ベーク雰囲気として酸素を含まない雰囲気をを用いることにより、膜の密度を上げることができ、電気特性を向上させることができる。

【0029】本願発明は、上記実施の形態で示したメモリセル構造に限らず、プラグを用いたセル構造やIrやIrO₂、Ru、RuO₂、Ta等の数々の電極構造にも適用できる。さらに、SBT膜のほかにPZT膜、(Pb, Ln)(Zr, Ti)O₃(PLZT)、SrBi₂(Ta, Nb)₂O₉(SBTN)などの強誘電体膜にも同様に適用できる。

【0030】

【発明の効果】本発明によれば、強誘電体膜を形成する際に、強誘電体物質を含むゾルゲル材料を塗布後、真空処理をしてからベーク処理を行うことにより、溶媒を蒸発させて体積収縮を完全に行ったあとで、ポリマーの架橋反応を進めることができ、強誘電体膜の分極特性やリーク特性などの電気特性を向上することができ、FRAMの特性を向上させることができる。

【0031】また、有機物が酸素で燃焼しない温度で、かつ、重合反応がおこる温度で行うため、膜の密度を上げることができ、強誘電体膜の分極特性やリーク特性などの電気特性を向上することができ、FRAMの特性を向上させることができる。さらに、ベーク雰囲気として酸素を含まない雰囲気をを用いることにより、膜の密度を上げることができ、強誘電体膜の分極特性やリーク特性などの電気特性を向上することができ、FRAMの特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の分極特性を示す図である。

【図2】本発明の分極特性とリーク特性を示す図である。

【図3】ゾルゲル溶液の熱分解特性を示す図である。

【図4】本発明の実施の形態を説明する模式工程断面図(その1)である。

【図5】本発明の実施の形態を説明する模式工程断面図(その2)である。

【図6】本発明の実施の形態を説明する模式工程断面図(その3)である。

【図7】本発明の実施の形態を説明する模式工程断面図(その4)である。

【符号の説明】

- 1 1 シリコン基板
 1 2 素子分離絶縁膜
 1 3 ゲート絶縁膜
 1 4 ゲート電極
 1 5、1 6 ソース・ドレイン拡散層
 1 7、1 9、2 3 層間絶縁膜

* 1 8

2 0

2 1

2 2

2 4

*

ビットライン

キャパシタ下層電極

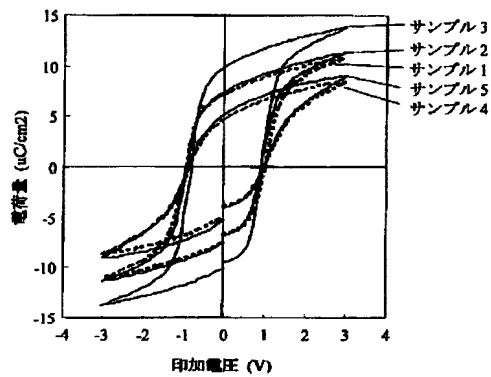
キャパシタ絶縁膜

キャパシタ上層電極

ローカルインターコネクト

【図 1】

本発明の分極特性を示す図



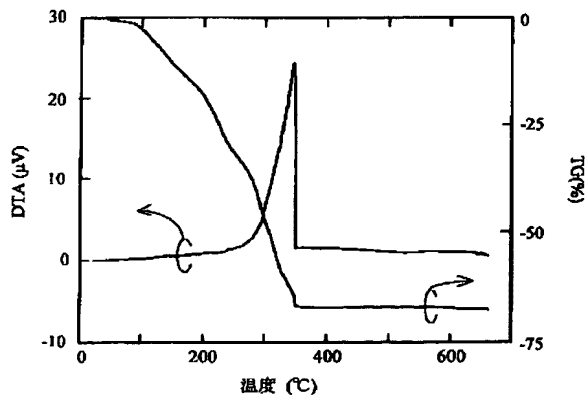
【図 2】

本発明の分極特性とリーク特性を示す図

サンプルNo.	ベーク条件	Qsw ($\mu\text{C}/\text{cm}^2$)	リーク電流 (A/cm^2)
1	250°C, O ₂ , 10分	13.5	3.9×10^{-5}
2	250°C, O ₂ , 10分	13.8	1.6×10^{-5}
3	真空処理 → 250°C, N ₂ , 10分	18.7	3.8×10^{-5}
4	200°C, O ₂ , 10分	7.5	$> 1 \times 10^{-4}$
5	300°C, O ₂ , 10分	7.5	$> 1 \times 10^{-4}$

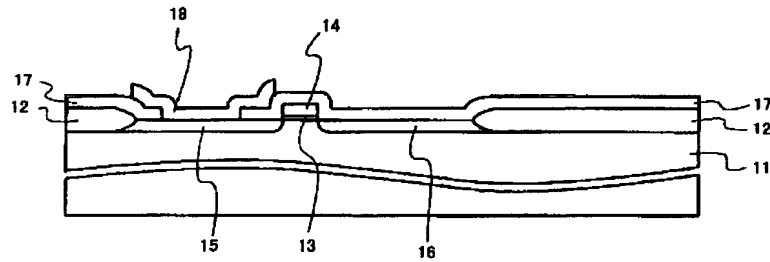
【図 3】

ゾルゲル溶液の熱分解特性を示す図



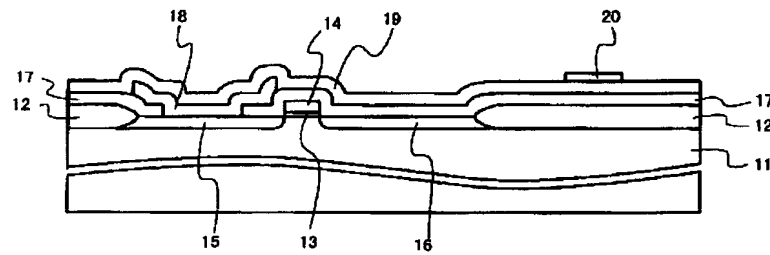
【図4】

本発明の実施の形態を説明する模式工程断面図（その1）



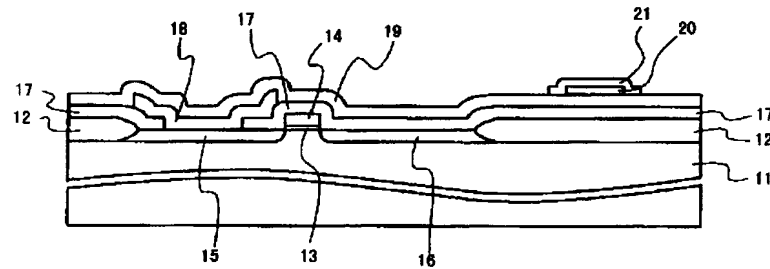
【図5】

本発明の実施の形態を説明する模式工程断面図（その2）



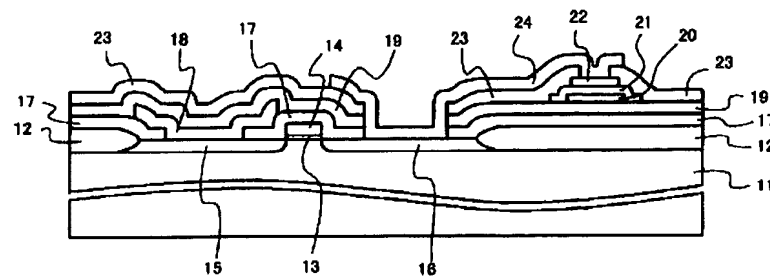
【図6】

本発明の実施の形態を説明する模式工程断面図（その3）



【図7】

本発明の実施の形態を説明する模式工程断面図（その4）



フロントページの続き

(51) Int. Cl. ⁶

識別記号

F I

H O 1 L 21/8242

21/8247

29/788

29/792